

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP63293938
Publication date: 1988-11-30
Inventor(s): FURUHATA TOMOYUKI
Applicant(s):: SEIKO EPSON CORP
Requested Patent: ☐ JP63293938
Application Number: JP19870130410 19870527
Priority Number(s):
IPC Classification: H01L21/76 ; H01L27/06 ; H01L29/72
EC Classification:
Equivalents:

Abstract

PURPOSE: To improve remarkably the resistance to latchup, and enable the high density integration, by constituting a dielectric isolation region, of a groove filled with insulative material or a semiconductor layer, and a field insulating film which is formed more deeply than a base region, and more widely than a groove region.

CONSTITUTION: On a semiconductor substrate 10, an N-type epitaxial layer 12 is formed. Between the substrate 10 and the epitaxial layer 12, an N<+> type layer 11 is formed. By reactive ion etching, a groove 17 is formed which penetrates the epitaxial layer 12 and the N<+> type buried layer 11 and reaches the substrate 10. The groove is subjected to thermal oxidation, and an oxide film 19 is formed. Then the groove is filled with a polycrystal silicon layer 16 by chemical vapor growth. The upper part of the groove is flattened by etch back method or the like using a photoresist film. By LOCOS method, a field oxide film 18 is selectively formed on the upper part of the groove and an isolation region between a collector electrode lead-out part and a base region forming part.

Data supplied from the esp@cenet database - I2



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-293938

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)11月30日

H 01 L 21/76
27/06
29/72

3 2 1

L-7131-5F
7735-5F
8526-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 昭62-130410

⑰ 出 願 昭62(1987)5月27日

⑱ 発 明 者 古 畑 智 之 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

第1導電型の半導体基板内に第2導電型の半導体領域が形成され、この半導体基板上に前記半導体領域よりも低濃度の第2導電型のエピタキシャル成長半導体層を有し、この半導体層中にバイポーラトランジスタが形成された半導体集積回路装置において、素子間の境界領域に絶縁物分離領域が形成されており、この絶縁物分離領域は、前記エピタキシャル成長半導体層及び前記第2導電型の半導体領域を貫き前記半導体基板に達する深さの溝と、その溝を埋める絶縁膜もしくは半導体層と、前記溝領域の上部領域にベース領域よりも深くかつ前記溝領域より広い領域に形成したフィールド絶縁膜とからなることを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路装置に係り、より詳しくはバイポーラトランジスタもしくはバイポーラCMOS(Bi-CMOS)素子からなる半導体集積回路装置の素子間分離技術に関する。

(従来の技術)

バイポーラトランジスタもしくはBi-CMOS素子からなる半導体集積回路装置においては、各素子の信頼性を向上させるため、各素子間を電気的に完全に分離することが必要である。

以下、従来のバイポーラ半導体集積回路装置の一実施例につき、図面を参照して説明する。

第2図は、P型基板上的N型エピタキシャル成長半導体層に形成された従来のバイポーラ集積回路装置の断面図を示す。

第2図において、各素子間の境界領域Q b b'には、N型エピタキシャル成長半導体層に及びN型埋め込み層11を貫きP型半導体基板10に

達する深さの溝17と、その溝を埋める多結晶シリコン層18とから構成されている絶縁物分離領域が形成されている。

また、ベース領域14と、N⁺コレクタ部13は、前記絶縁物分離領域と同様の構造を有し、N⁺型埋め込み層11まで達する深さの溝17aにより形成されている。

なお、図中、15はエミッタ領域、19は酸化膜である。

(発明が解決しようとする問題点)

しかしながら、前述の従来の絶縁物分離領域の構成によれば、エミッタ領域15及びベース領域14が溝の側壁に接しているため、コレクタ・エミッタ間のリーク電流及び表面リーク電流が大きくなり、バイポーラトランジスタの特性を劣化させると共に、各素子間を完全に電気的に分離することが困難であった。

そこで、本発明はこのような問題点を解決するもので、その目的とするところは、各素子の機能を妨げることなく、素子間を完全に電気的に分離

しラッチアップ耐性を向上し、さらに素子の高速化、高密度化にも資する半導体集積回路装置を提供するところにある。

(問題点を解決するための手段)

本発明は、第1導電型の半導体基板内に第2導電型の半導体領域が形成され、この半導体基板上に前記半導体領域よりも低濃度な第2導電型のエピタキシャル成長半導体層を有し、この半導体層中にバイポーラトランジスタが形成された半導体集積回路装置において、素子間の境界領域に絶縁物分離領域が形成されており、この絶縁物分離領域は、前記エピタキシャル半導体成長層及び前記第2導電型の半導体領域を貫き前記半導体基板に達する深さの溝と、その溝を埋める絶縁膜もしくは半導体層と、前記溝領域の上部領域にベース領域よりも深くかつ前記溝領域より広い領域に形成したフィールド絶縁膜とからなることを特徴とする。

(実施例)

以下、本発明の代表的な実施例を図面を参照し

て説明する。

なお、図面において同一あるいは相当する部分は同一符号で示す。

第1図は、本発明によるバイポーラ半導体集積回路装置の一実施例の断面図を示す。

第1図において、バイポーラトランジスタQbはNPN型であり、P型半導体基板10上に0.5〜2μmの膜厚のN型エピタキシャル成長半導体層12が形成されていて、コレクタ領域をなし、その下には高濃度にドーパされたN⁺型埋め込み層11が形成されている。このN型エピタキシャル成長半導体層12にP型ベース領域14が形成され、さらにこのベース領域14にポリシリコン層16からの拡散により浅い接合のN⁺型エミッタ領域15が形成されている。また、このN型エピタキシャル成長半導体層12の別の部分には、N⁺型埋め込み層に達するN⁺型コレクタ部13が形成されている。さらに、N⁺コレクタ部の上には多結晶シリコン層が電極下絶縁層として設けられ、コレクタ電極が自己整合的に形成されて

いる。

各素子の間の境界領域Qb-b'には、絶縁物分離領域が形成されている。絶縁物分離領域は、N型エピタキシャル成長半導体層12及びN⁺埋め込み層11を貫きP型半導体基板10に達する深さ1.0〜3.0μm程度で幅が2〜5μm程度の溝17と、その溝を埋める多結晶シリコン層18と、溝領域の上部領域にベース領域14よりも深くかつ溝領域より広い領域に形成したフィールド酸化膜19とから構成されている。また、溝の側壁には熱酸化により酸化膜19が形成され、電気的な絶縁を完全にしている。なお、溝17の下部にP型チャンネルストップ領域(第1図に図示せず)を形成し、素子間分離特性をより向上させても良い。

ここで注目すべき事項は、上述の構成によれば、エミッタ領域15及びベース領域14はフィールド酸化膜により囲まれ、溝から離れているため、コレクタ・エミッタ間のリーク電流及び表面リーク電流を大幅に低減させ、バイポーラトラン

ンシスタの低電流領域における特性を向上させることができることである。

さらに、狭い素子分離幅で各素子間を電気的に完全に分離することができるため、ラッチアップ耐性が向上し、素子の高密度化が可能となる。

次に、上記バイポーラ半導体集積回路装置の製造方法を第3図について順次説明する。

(1) 第3図(a)は上記バイポーラ半導体集積回路装置を製造するために予備的に加工されたP型半導体基板10の一部を示す。半導体基板10にはN型エピタキシャル成長層12が形成され、また基板10とエピタキシャル層12の間にはN⁺型埋め込み層11が形成されている。さらに、反応性イオンエッチング(RIE)により、エピタキシャル層12及びN⁺型埋め込み層11を貫き基板10に達する深さの溝17が形成されている。

(2) 次に、第3図(b)は溝を熱酸化し、酸化膜19を形成後、化学気相成長(CVD)法により多結晶シリコン層16で溝を充填した状態を

示す。ここで、溝の上部の平坦化は、フォトレジスト膜を用いたエッチバック法等により行なわれる。なお、溝17及び酸化膜19を形成後、前記多結晶シリコン層の埋め込み処理前に、イオン打込みによって溝17の底部にチャンネルストップとしてP⁺型領域を形成しても良い。(第3図に図示せず。)

(3) さらに、第3図(c)は、溝の上部及びコレクタ電極引き出し部とベース領域形成部の分離領域にLOCOS(Local Oxidation of Silicon)法により選択的にフィールド酸化膜18を形成した状態を示す。なお、図中20はシリコン窒化(Si₃N₄)膜であり、素子形成領域に選択的に形成されている。

以下、従来と同様の技術によって、前述したとき効果を奏する半導体集積回路装置が比較的少ない工程で形成される。

なお、本実施例においては、溝の充填物として多結晶シリコン層を用いたが、かわりに二酸化シ

リコン(SiO₂)膜、リンガラス(PSG)膜、アモルファス・シリコン膜、シリコン膜等のCVD膜を用いてもよい。また、多結晶シリコン層を使用する場合は、溝との間に酸化膜と窒化膜とをバッファ層として介在させた方がよい。

第4図は、本発明を応用した他の一実施例の断面図を示す。図において、ベース領域14とN⁺型コレクタ部13とは前記絶縁物分離領域と同様の構造を有し、N⁺型埋め込み層11まで達する深さの溝17aにより形成されており、コレクタベース間の耐圧が向上されている。なお、他の構造は第1図と同様であり、同じ効果を有する。

第5図は、本発明によるBi-CMOS半導体集積回路装置の一実施例の断面図を示す。

第5図に示す半導体集積回路装置は、バイポーラトランジスタQbとNチャネル型MOS電界効果トランジスタQnとPチャネル型MOS電界効果トランジスタQpとが同一のP型半導体基板10上に存在して形成されている。

バイポーラトランジスタQbは、NPN型であり、第3図に示す半導体装置と同様な構造である。

また、Nチャネル型MOS電界効果トランジスタQnは下部に高濃度にドーパされたP⁺型埋め込み層21を有するP型ウェル22に形成されている。このP型ウェルには、ゲート電極23、ゲート酸化膜24、N⁺型ソース領域25、N⁺型ドレイン領域26が形成されている。

さらに、Pチャネル型MOS電界効果トランジスタQpは下部に高濃度にドーパされたN⁺型埋め込み層11を有するN型ウェル27に形成されている。このN型ウェル27には、ゲート電極23、ゲート酸化膜24、P⁺型ソース領域28、P⁺型ドレイン領域29が形成されている。

N⁺型埋め込み層11がある部分、ならびにN型ウェル27およびP型ウェル21の各境界領域には、それぞれ前述の絶縁物分離領域が形成されている。ただし、フィールド酸化膜はベース領域及びMOS素子のソース領域、ドレイン領域より

も狭くかつ、溝よりも広い領域に形成されている。

この構造によれば、絶縁物分離領域が溝17とフィールド絶縁膜18との組み合わせで形成されているため、各素子特性を劣化することなく、狭い分離域で各素子間を電気的に完全に分離することができ、ラッチアップ耐性を向上すると共に、高集積化が実現できる。

以上、本発明を実施例にもとづき具体的に説明してきたが、本発明は本実施例に限定されず、その要旨を逸脱しない範囲で種々変更が可能であることは言うまでもない。

(発明の効果)

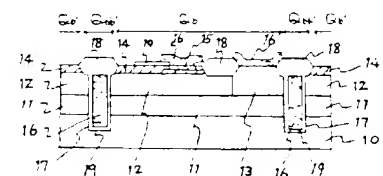
以上述べたように、本発明の半導体集積回路装置によれば、絶縁物分離領域が絶縁物もしくは半導体層で充填された溝とペース領域よりも深い、かつ溝領域よりも広い領域に形成したフィールド絶縁膜とからなるため、各素子特性を劣化することなく狭い分離域で各素子間を電気的に完全に分離することができ、ラッチアップ耐性を大幅に向

上させ、かつ高集積化が可能となるという効果を有する。また、本発明の構造は、B i - C M O S素子への適用が容易であり、高速かつ低利性の高い半導体装置を実現できる。

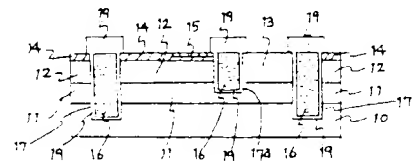
4. 図面の簡単な説明

第1図は本発明の半導体集積回路装置の一実施例を示す断面図、第2図は従来の半導体集積回路装置を示す断面図、第3図(a)～(c)は第1図に示す半導体集積回路装置の製造工程断面図、第4図及び第5図は本発明の半導体集積回路装置の他の実施例を示す断面図である。

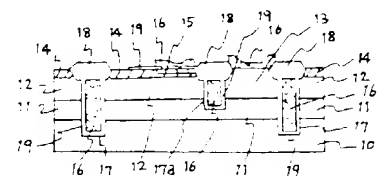
- 10…P型半導体基板、11…P⁺埋め込み層
12…エピタキシャル半導体層、13…N⁺コレクタ部
14…ベース領域、15…エミッタ領域、16…ポリシリコン層
17、17a…溝、18…フィールド酸化膜、19…酸化膜



第1図



第2図

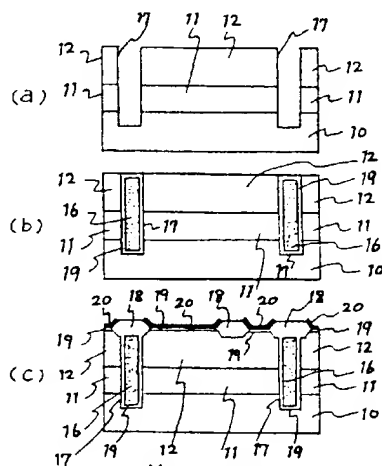


第4図

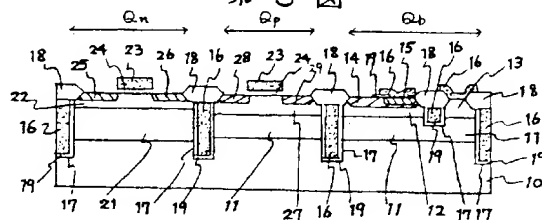
以上

出願人 セイコーエプソン株式会社

代理人 井理士 最上 務 他1名



第3図



第5図

